

009402297

\*\*Image available\*\*

WPI Accession No: 93-095807

XRAM Accession No: C93-042304

XRPX Accession No: N93-073233

**Semiconductor thin film pr dn. - involves heat treating gas ion-implanted wafer**

Patent Assignee: COMMISSARIAT ENERGIE ATOMIQUE (COMS )

Inventor: BRUEL M

Number of Countries: 008 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 533551	A1	19930324	EP 92402520	A	19920915	H01L-021/265	199312 B
FR 2681472	A1	19930319	FR 9111491	A	19910918	H01L-021/265	199320
JP 5211128	A	19930820	JP 92246594	A	19920916	H01L-021/205	199338
US 5374564	A	19941220	US 92945001	A	19920915	H01L-021/265	199505

Priority Applications (No Kind Date): FR 9111491 A 19910918

Cited Patents: 2. journal ref.; GB 2211991; US 5034343

Patent Details:

Patent	Kind	Ln	Pg	Filing Notes	Application	Patent
--------	------	----	----	--------------	-------------	--------

EP 533551	A1	F	8			
-----------	----	---	---	--	--	--

Designated States (Regional): BE DE FR GB IT NL

FR 2681472	A1	17				
------------	----	----	--	--	--	--

JP 5211128	A	6				
------------	---	---	--	--	--	--

US 5374564	A	6				
------------	---	---	--	--	--	--

Abstract (Basic): EP 533551 A

A semiconductor thin film prodn. process involves processing a semiconductor wafer have a planar face, the plane of which is either (i) parallel to a main crystallographic plane when the semiconductor material is monocrystalline or (ii) slightly incides for all the grains when the material is polycrystalline.

The process involves (a) implantation by ion bombardment of the wafer face to create, at a depth close to the aberafe ion penetration depth, a layer (3) of gas micro-bubbles to delimit a lower region (6) forming the bulk of the substrate (1) and an upper region (5) forming the thin film, the ions being hydrogen or noble gas ions and the wafer temp. being maintained below that at which the resulting gas can escape from the semiconductor by diffusion; (b) intimate contact of the planar wafer face with one or more counter-stressing layers (7) of rigid material; and (c) heat treatment at above the ion bombardment temp. so that crystalline rearrangement within the wafer (1) and pressure within the micro-bubbles cause sepn. between the thin film (5) and the bulk of the substrate (6).

USE/ADVANTAGE - The process is esp. useful for prodn. of single crystal semiconductor thin films, used for SOI substrates, self-supporting silicon (carbide) membranes for x-ray lithographic masks, sensors, solar cells and mfr. of ICs with multiple active layers. It allows prodn. of a film with controlled and uniform thickness without the need for different substrate and thin film materials, high implantation dosages and etch-stops.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-211128

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl. <sup>5</sup> H 01 L 21/205 21/265 21/027	識別記号 7454-4M	庁内整理番号 F I	技術表示箇所
	8617-4M 7352-4M	H 01 L 21/ 265 21/ 30	W 331 M
審査請求 未請求 請求項の数 9(全 6 頁) 最終頁に続く			

(21)出願番号 特願平4-246594

(22)出願日 平成4年(1992)9月16日

(31)優先権主張番号 91 11491

(32)優先日 1991年9月18日

(33)優先権主張国 フランス (FR)

(71)出願人 592100120

コミサリヤ・ア・レネルジ・アトミク  
フランス国、75015・パリ、リュ・ドウ・  
ラ・エデラシオン、31/33

(72)発明者 ミシエル・ブリュエル  
フランス国、38113・ブレー、ブレベー  
ル・ニュメロ・9

(74)代理人 弁理士 川口 義雄 (外2名)

(54)【発明の名称】薄い半導体材料フィルムの製造方法

(57)【要約】

【目的】 単結晶質フィルムの製造に適用可能な薄い半導体材料フィルムの製造方法を提供する。

【構成】 薄い単結晶質又は多結晶質半導体材料フィルムの製造方法は、平面を有する半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域6と薄いフィルムを構成する上方区域5とを前記ウェーハの容積部内に限定する微小気泡の層3を前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ1の面4へのポンバード2による注入の第1段階と、前記ウェーハの平面4を、少なくとも1つの剛性材料層からなる補剛材7と密着させる第2段階と、イオンポンバード2が実施される温度よりも高く且つウェーハ1中の結晶再配列作用及び微小気泡内の圧力作用により薄いフィルム5と基板6のバックとを分離させるのに十分な温度で前記ウェーハ1と前記補剛材7とのアセンブリを熱処理する第3段階とに付することを包含することを特徴とする。



FIG. 2

1

## 【特許請求の範囲】

【請求項1】薄い半導体材料フィルムの製造方法であつて、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の場合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域と薄いフィルムを構成する上方区域とを前記ウェーハの容積部内に限定する微小気泡の層をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハの面へのポンバードによる注入の第1段階であつて、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放し出される温度よりも低く維持されている第1段階と、前記ウェーハの平面を、少なくとも1つの剛性材料層からなる補剛材と密着させる第2段階と、イオンポンバードが実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルムと基板のバルクとを分離させるのに適した温度で前記ウェーハと前記補剛材とのアセンブリを熱処理する第3段階とで処理することを包含することを特徴とする方法。

【請求項2】半導体材料内へのイオンの注入段階が、イオンによって横断され得るような種類及び厚さの1つ以上の材料層を通じて実施されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項3】半導体がIV族の共有結合を有することを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項4】半導体がシリコンであり、注入イオンが水素ガスイオンであり、注入ガスの温度が20～450℃であり、且つ第3の熱処理段階の温度が500℃を超えることを特徴とする請求項1から3のいずれか一項に記載の薄いフィルムの製造方法。

【請求項5】注入が封入高温酸化シリコン層を通じて実施され、且つ補剛材が少なくとも1つの酸化シリコン層によって被覆されたシリコンウェーハであることを特徴とする請求項2に記載の薄いフィルムの製造方法。

【請求項6】前記ウェーハの平面を補剛材と密着させる第2段階が、静電圧力を加えることにより実施されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項7】補剛材が、蒸発、プラズマ若しくは光子により任意に支援される化学蒸着、又はアトマイゼーションからなる群の中から選択された1つ以上の方法によつて付着されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

2

【請求項8】補剛材が接着性物質によって前記ウェーハに結合されることを特徴とする請求項1に記載の薄いフィルムの製造方法。

【請求項9】補剛材が原子間結合を促進する処理によつてウェーハに付着させられることを特徴とする請求項1に記載の薄いフィルムの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄い半導体材料フィルム、好ましくは単結晶質フィルムの製造に適用可能な製造方法に関する。

## 【0002】

【従来の技術】単結晶質半導体フィルムの製造には種々の方法があるが、多結晶質材料フィルム又は非晶質材料フィルムの製造が比較的簡単である一方で、単結晶質フィルムの製造が遙かに困難なために、これらの方の実施がしばしば複雑で、費用がかかるることは知られている。

【0003】単結晶質フィルムの製造に使用されている方法の中には、いわゆる“絶縁体上シリコン”基板の製造に使用されている方法がある。この方法の目的は、フィルムから電気的に絶縁された基板上に位置する単結晶質シリコンフィルムを製造することである。

【0004】結晶成長ヘテロエピタキシ法により、格子パラメータがシリコンのパラメータに近い他の型の単結晶質基板、例えばサファイア基板( $Al_2O_3$ )又はフッ化カルシウム基板( $CaF_2$ )上に例えば薄いフィルムのシリコン結晶を成長させることができる。(参考文献5を参照)。

【0005】SIMOX法(この名称は文献で使用されている)は、基板のバルクから単結晶質シリコンフィルムを分離する酸化シリコン層をシリコン容積部内に設けるために、シリコン基板内への酸素線量の多いイオンの注入を使用している。(参考文献1を参照)。

【0006】他の方法は、化学的又はメカノケミカル的摩耗によるウェーハの薄片化(thinning)の原理を使用している。このカテゴリーで最も成功をおさめた方法は更にエッチストップの原理を使用している。この方法では、必要な厚さが達せられるとすぐにウェーハの薄片化を停止させることができ、このようにして均一な厚さを確保することができる。この方法は例えば、製造が所望されているフィルムの厚さ全体にわたりn型基板へのp型ドーピングを施し、次いでn型シリコンには活性で、p型シリコンには不活性な化学浴で基板を化学腐食させることからなる(参考文献2及び3を参照)。

【0007】単結晶質半導体フィルムの主要用途は、X線リソグラフィマスク、センサ、太陽電池及び複数の活性層を有する集積回路の製造のための絶縁体上シリコン基板、自立シリコン膜又は自立炭化シリコン膜である。

【0008】薄い単結晶質フィルムの種々の製造方法

は、製造手順に関して欠点がある。

【0009】ヘテロエピタキシ法は基板の種類によって制限される。基板の格子パラメータは半導体のパラメータと精密には同一ではないので、フィルムは多数の結晶上の欠陥を有する。更には、これらの基板は高価で、脆く、且つ限定された寸法でのみ存在している。

【0010】SIMOX法は、非常に線量の多いイオン注入を必要とし、この注入は非常に重く且つ複雑な注入機械を要する。このような機械の出力は制限され、出力を著しく増すことは困難であろう。

【0011】薄片化法は、エッチストップの原理を使用する場合を除いて、均質性及び品質の観点から競合的ではない。不運なことに、このエッチストップの導入により方法は複雑になり、場合によってはフィルムの使用が制限され得る。

【0012】従って、エッチストップがn型基板へのp型ドーピングによって実施されるならば、フィルム内で製造される任意の電子デバイスはフィルムのp型特性に適合させねばならない。

### 【0013】

【発明が解決しようとする課題】本発明は、選択される半導体とは種類の異なった初期基板も、非常に多い注入線量も、エッチストップを必要とせずに前述した欠点を克服し得、且つ更に均質で調整された厚さを有するフィルムの製造を可能とする薄い半導体材料フィルムの製造方法に関する。

### 【0014】

【課題を解決するための手段】この薄いフィルムの製造方法は、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の場合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の3つの段階：基板のバルクを構成する下方区域6と薄いフィルムを構成する上方区域5とを前記ウェーハの容積部内に限定する微小気泡の層3をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ1の面4へのポンバード2による注入の第1段階であって、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放出し得る温度より低く維持されている第1段階と、前記ウェーハの平面4を、少なくとも1つの剛性材料層からなる補剛材7と密着させる第2段階と、イオンポンバード2が実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ1中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルム5と基板6のバルクとを分離させるのに適した温度で前記ウェーハ1と前記補剛材7とのアセンブリを熱処理する第3段階とで処理することを包含することを特徴とする。

【0015】従って、本発明は、格子を構成する全ての粒子が半導体面に実質的に平行な主要結晶面（該面は全ての半導体粒子に対して同一指数、例えば(1, 0, 0)を有する）を有するならば、多結晶質半導体材料にも適用される。半導体材料に関しては、ZMRSOI (ZMR=溶融-再結晶化) が挙げられ得る（参考文献4を参照）。注入段階という用語は、1回の注入段階と、異なる線量及び/又は異なるエネルギー及び/又は異なるイオンでの注入の連続とを意味する。

10 【0016】本発明方法の変形例として、1つ以上の材料層を通じて半導体材料内へのイオン注入を実施するのが有利であり得る。該“封入(encapsulation)”層は、イオンがこの材料層を貫通して、半導体に進入するように選択される。例えば封入層は、より薄い膜を製造するために半導体内へのイオンの進入を抑える手段としても、考えられ得る汚染から半導体を保護する手段としても、又は半導体面の物理化学的状態を調整する手段としても使用され得る。ウェーハを構成する基板がシリコンから製造されるときには、高温酸化シリコンからなり且つ厚さが例えば25~500nmの封入層を選択することが有利であり得る。これらの封入層は注入段階後に保持され得るか又は除去され得る。

【0017】本発明では、イオン注入が実施されるウェーハの温度は作業中常に調整され、その結果温度は、注入イオンによって発生されたガスが急速に拡散し且つ半導体から放出する臨界温度よりも低く維持される。例えば該臨界温度はシリコンへの水素注入の場合で約500°Cである。この温度を超えると、微小気泡が形成されないために、この方法は効果がなくなる。シリコンの場合には、20~450°Cの注入温度が好ましい。

【0018】ウェーハー補剛材アセンブリの熱処理という第3段階には、イオン注入によって発生された無秩序に統いての結晶の再配列が生じる。共に第3段階の熱処理によって生じる結晶の再配列とマクロな気泡を生じる気泡の凝集とによってフィルムと基板とが分離される。これらの気泡内の気体圧力の作用下では、半導体面は高い応力を受ける。表面変形及び形成されたマクロ気泡に相当する火ぶくれ状態の生成を避けることが所望されるならば、これらの応力を補償することが重要である。従って、火ぶくれ状態は、マクロな気泡がその最終成長段階に達して互いに凝集する前に、小さく粉々になり得る。従って、連続する半導体フィルムの製造が所望されるならば、熱処理段階中に生じる応力を補償することが必要である。本発明に基づけば、この補償は半導体ウェーハ面と補剛材とを密着させることによって行われる。補剛材の機能は、ウェーハ面との接触及びその機械特性により、マクロな気泡によって発生された応力を補償されることである。従って、半導体フィルムは最終的に壁開するまで、熱処理段階中常に平坦且つ損なわれないままであり得る。

【0019】本発明の基づけば、補剛材の製造方法の選択及び補剛材の種類はフィルムについて考えられる各適用によって決まる。例えば意図される用途が絶縁体上シリコン基板の製造ならば、補剛材は、酸化物層又は窒化物層のような少なくとも1つの誘電層によって被覆されたシリコンウェーハからなることが有利であり得る。補剛材の酸化物は、それからフィルムが製造されるべきウェーハと密着されており、ウェーハは例えば酸化シリコン封入層を任意に有している。

【0020】補剛材について選択された厚さが適当であれば、即ち数マイクロメータ～数十マイクロメータならば、補剛材は蒸発、アトマイゼーション、プラズマ又は光子によって任意に支援され得る化学蒸着のような方法によってウェーハに結合され得るか又はウェーハ上に製造され得る。

【0021】密着という用語は、例えば静電圧及び／又は付着接触によって補剛材をウェーハ上に押圧することによって得られる接触を意味する。

【0022】従って、本発明の補剛材は更に、補剛材及びウェーハ両方に接着性物質を使用して、又は接着性物質の使用が所望されない場合には補剛材と半導体ウェーハとの原子間結合を助けるために、結合されるべき表面の少なくとも1つを先に製造し且つ任意に圧力の選択を伴う熱処理及び／又は静電処理を実施することにより半導体ウェーハに結合され得る。補剛材は静電圧によつてもウェーハに付着され得る。

【0023】自立膜の製造に関する適用については、補剛材をフィルムから簡単且つ選択的に分離することができるよう補剛材の種類を選択することが適切である。参考までに、単結晶質シリコン膜を製造するには、例えば酸化シリコン補剛材を選択することが可能であり、この補剛材はそれから、プロセスの第3の熱処理段階の後にフッ化水素酸浴中で除去される。

【0024】本発明方法の特徴として、第2段階及び第3段階での作業温度の選択は以下の要件に適合せねばならない。ウェーハ上に補剛材を設置するには、第3段階の処理を開始させ得る温度を適用してはならない。このために本発明に基づけば、第3段階の熱処理の温度よりも低い温度でプロセスの第2段階を実施することが必要である。本発明ではこの熱処理は、結晶再配列と気泡の凝集とが効果的に生じる温度で実施されねばならない。例えばシリコンの場合、結晶再配列と気泡の凝集とが適切な動力学で生じ得るには約500°Cを超える温度が必要である。

【0025】本発明方法を実施するに当たって、ポンパードによる注入に使用されるイオンは通常H<sup>+</sup>イオンであるが、この選択は限定的であるとみなすべきではな

\*。従つて本方法の原理は、分子水素イオン又はヘリウム、ネオン、クリプトン及びキセノンのような稀ガスのイオンを単独で若しくは組み合わせて使用して適用され得る。本発明方法を工業的に適用するには、IV族半導体が好ましく、例えばシリコン、ゲルマニウム、炭化シリコン及びシリコン-ゲルマニウム合金の使用が可能である。

【0026】  
【実施例】添付図面を参照して本発明の非制限的実施例を更に詳細に説明する。

【0027】これから添付図面を参照して説明する実施例は、H<sup>+</sup>イオン注入による単結晶質シリコンウェーハ内の薄いフィルムの製造に関する。

【0028】その表面が主要結晶面、例えば(1, 0, 0)面に相当する単結晶質シリコンウェーハに150 keVでH<sup>+</sup>イオン(プロトン)を注入すると、注入線量が少ない(<10<sup>16</sup> cm<sup>-2</sup>)場合には、図1に示すように深さR<sub>p</sub>で最大濃度を有する深さPに対する水素濃度プロファイルCが得られる。シリコン内へのプロトン注入の場合には、R<sub>p</sub>は約1.25マイクロメータである。

【0029】約10<sup>16</sup> cm<sup>-2</sup>の線量では、注入水素原子は気泡を形成し始め、これらの気泡は表面に平行な面の付近に配分されている。表面の面は主要結晶面に相当し、また結果的に劈開面となる微小気泡面についても同様である。

【0030】10<sup>16</sup> cm<sup>-2</sup>を超える(例えば5・10<sup>16</sup> cm<sup>-2</sup>)注入線量では、シリコンを2つの部分に劈開させる気泡と、厚さが1.2マイクロメータの上方フィルム(薄いフィルム)と、基板のバックとの融合を加熱により開始させることができある。

【0031】水素注入は有利な例である。何故ならば、シリコン中のイオンの制動プロセスは事実上イオン化(電子制動)だからである。原子移動による原子核型運動は飛程の最後にのみ生じる。それ故シリコンの表面層では非常に僅かな欠陥だけが生じ、限定された厚さにわたり、気泡が深さR<sub>p</sub>(最大濃度の深さ)の付近に集中されている。これにより、穏当な注入線量(5・10<sup>16</sup> cm<sup>-2</sup>)で方法の必要な効率、及び表面層の分離後には粗度の限定された表面を得ることが可能となる。

【0032】本発明方法を使用すると、注入エネルギーを選択することにより広い厚さ範囲内で薄いフィルムの厚さを選択することが可能となる。この特性は、注入イオンの原子番号zが小さいだけに一層重要である。例えば以下の表は、H<sup>+</sup>イオン(z=1)の異なる注入エネルギーに対して得られ得るフィルムの厚さを示している。

H <sup>+</sup> イオンのエネルギー (keV)	10	50	100	150	200	500	1000
フィルムの厚さ (μm)	0.1	0.5	0.9	1.2	1.6	4.7	13.5

図2は封入層10で任意に被覆された半導体ウェーハ1※50※を示し、該層は、主要結晶面に平行な平面4を通しての

$H^+$ イオンのイオンポンバード2を受けている。面4に平行に微小気泡層3を認めることができる。層3及び面4は薄いフィルム5を限定している。半導体基板6の他の部分は、基板のパルクを構成している。

【0034】図3は、半導体ウェーハ1の面4と密着された補剛材7を示している。本発明の有利な実施例では、材料へのイオン注入は高温酸化シリコン封入層10を通じて行われ、補剛材7は少なくとも1つの誘電層によって被覆されたシリコンウェーハからなっている。

【0035】他の実施例は、半導体材料に補剛材を固定するために静電圧力を使用している。この場合、例えば5000A厚さの酸化シリコン層を有するシリコン補剛材が選択される。ウェーハの平面は補剛材の酸化物と接触させられ、ウェーハと補剛材との間には数十ボルトの電位差が適用される。ここで得られる圧力は数 $10^5$ ~ $10^6$ パスカルである。

【0036】図4は、基板6のパルクから空間8によって離隔された、補剛材7に結合されたフィルム5を示している。

【0037】本明細書は以下の資料を参照している。

【0038】(1) SIMOX SOI for Integrated Circuit Fabrication by Hon Wai Lam, IEEE Circuits and Devices Magazine, July 1987.

(2) Silicon on Insulator Wafer Bonding, Wafer Thinning, Technological Evaluations by Haisma, Spiering s, Biermann et Pals, Japanese Journal of Applied Physics, vol. 28, no. 8, August 1989.

(3) Bonding of silicon wafers for silicon on insula

tor by Maszara, Goetz, Caviglia and McKitterick, Journal of Applied Physics 64 (10) 15 November 1988.

(4) Zone melting recrystallization silicon on insulator technology by BorYeu Tsaur, IEEE Circuits and Devices Magazine, July 1 1987.

(5) 1986 IEEE SOS/SOI Technology Workshop, September 30-October 2, 1986, South Seas plantation resort and yacht Harbour, Captiva Island, Florida.

【図面の簡単な説明】

【図1】進入深さに対する水素イオンの濃度プロファイルを示すグラフである。

20 【図2】 $H^+$ イオンのポンバードにさらされ且つ注入粒子によって生じた微小気泡層が内部に出現した、単結晶質フィルム源として本発明で使用される単結晶質半導体ウェーハの断面図である。

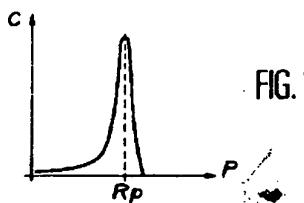
【図3】補剛材で被覆された図2の半導体ウェーハを示す図である。

【図4】熱処理段階後にフィルムと基板パルクとの間に劈開が生じたときの、図3の半導体ウェーハと補剛材とのアセンブリを示す図である。

【符号の説明】

- 30 1 ウェーハ
- 4 平面
- 5 フィルム
- 6 基板
- 7 補剛材

【図1】



【図2】

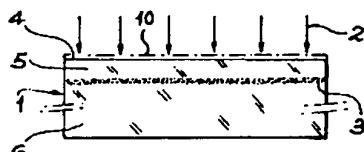


FIG. 2

【図3】

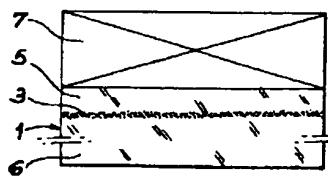


FIG. 3

【図4】

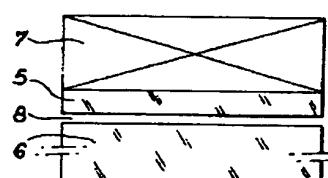


FIG. 4

---

フロントページの続き

(51) Int. Cl. 5

H 01 L 27/12  
31/04

識別記号

庁内整理番号

E 8728-4M

F I

技術表示箇所

7376-4M

H 01 L 31/04

X